

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-143249

(43)Date of publication of application : 16.05.2003

(51)Int.Cl. H04L 27/34

H04L 1/00

H04L 27/00

(21)Application number : 2001-340787 (71)Applicant : NEC CORP

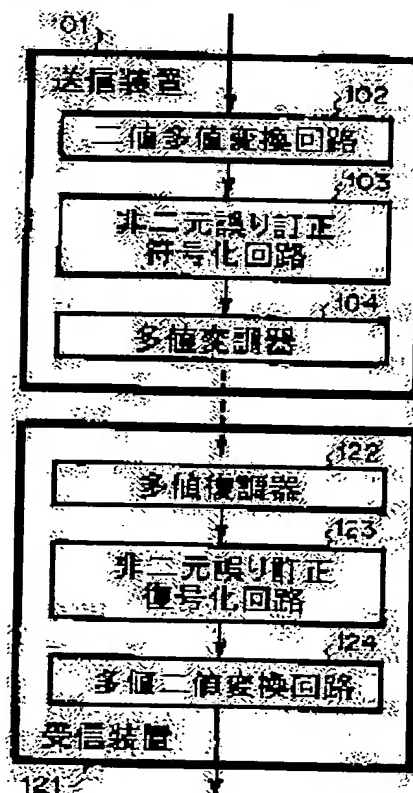
(22)Date of filing : 06.11.2001 (72)Inventor : NODA SEIICHI

## (54) COMMUNICATION SYSTEM AND COMMUNICATION METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a communication system that includes an efficient error correction system and transmits/receives a multi-value (a prime number in excess of 2) signal.

**SOLUTION:** A transmitter is provided with: a binary multi-value conversion means that converts a transmission binary signal into a multi-value (a prime number in excess of 2) signal as an information sequence; an encoding means that generates a transmission sequence comprising a BCH code on a Galois field the original number of which is a prime number in excess of 2 on the basis of the multi-value signal as the information sequence; a multi-value modulation means that applies multi-value modulation to the transmission sequence and transmits the



result to a receiver. The receiver is provided with: a demodulation means that demodulates the signal received from the transmitter to obtain a multi-value (a prime number in excess of 2) received sequence; a decoding means that decodes the received sequence by using a decoding method of a BCH code on a Galois field the original number of which is a prime number, in excess of 2 to obtain a multi-value (a prime number in excess of 2) signal as a decode sequence; and a multi-value binary conversion means that obtains a decoded binary signal from the multi-value signal as the decoded sequence.

---

#### LEGAL STATUS

[Date of request for examination]	15.10.2002
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3596678
[Date of registration]	17.09.2004
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**JPO and NCIP I are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In communication system equipped with the sending set and receiving set which transmit and receive a signal through a transmission line said sending set A binary multiple-value conversion means to change a transmitting binary signal into the multiple-value (prime factor exceeding 2) signal as an information sequence, a radical [ signal / as said information sequence / multiple-value ] -- un--- duality -- with a coding means to generate the transmitting sequence which consists of an error correcting code It has a multi-level modulation means to carry out multi-level modulation of said transmitting sequence, and to transmit to said receiving set. Said receiving set A recovery means to restore to the input signal from said sending set, and to acquire the receiving sequence of a multiple value (prime factor exceeding 2), said receiving sequence -- un--- duality -- the communication system characterized by having a decryption means to decode by the decode approach of an error correcting code, and to acquire the multiple-value (prime factor exceeding 2) signal as a decode sequence, and a multiple-value binary conversion means to obtain a decode binary signal from the multiple-value signal as said decode sequence.

[Claim 2] a radical [ signal / a binary multiple-value conversion means change a transmitting binary signal into the multiple-value (prime factor exceeding 2) signal as an information sequence in the sending set which transmits a signal to a receiving set through a transmission line, and / as said information sequence / multiple-value ] -- un--- duality -- the sending set characterized by to have a coding means generate the transmitting sequence which consists of an error correcting code, and a multi-level-modulation means carries out multi-level modulation of said transmitting sequence, and transmit to said receiving set.

[Claim 3] A recovery means to restore to the input signal from said sending set, and to acquire the receiving sequence of a multiple value (prime factor

exceeding 2) in the receiving set which receives a signal from a sending set through a transmission line, said receiving sequence — un— duality — the receiving set characterized by having a decryption means to decode by the decode approach of an error correcting code, and to acquire the multiple-value (prime factor exceeding 2) signal as a decode sequence, and a multiple-value binary conversion means to obtain a decode binary signal from the multiple-value signal as said decode sequence.

[Claim 4] The step from which a sending set changes a transmitting binary signal into the multiple-value (prime factor exceeding 2) signal as an information sequence in the correspondence procedure which transmits and receives a signal through a transmission line, said sending set — a radical [ signal / as said information sequence / multiple-value ] — un— duality — with the step which generates the transmitting sequence which consists of an error correcting code The step which said sending set carries out multi-level modulation of said transmitting sequence, and transmits to a receiving set, The step from which said receiving set recovers the input signal from said sending set, and acquires the receiving sequence of a multiple value (prime factor exceeding 2), said receiving set — said receiving sequence — un— duality — with the step which decodes by the decode approach of an error correcting code, and acquires the multiple-value (prime factor exceeding 2) signal as a decode sequence The correspondence procedure to which said receiving set is characterized by having the step which obtains a decode binary signal from the multiple-value signal as said decode sequence.

[Claim 5] a radical [ signal / the step which changes a transmitting binary signal into the multiple-value (prime factor exceeding 2) signal as an information sequence in the transmitting approach of transmitting a signal, and / as said information sequence / multiple-value ] — un— duality — the transmitting approach characterized by to have the step which generates the transmitting sequence which consists of an error correcting code, and the step which carries out multi-level modulation of said transmitting sequence, and is transmitted to said receiving set.

[Claim 6] the step which restores to an input signal and acquires the receiving sequence of a multiple value (prime factor exceeding 2) in the receiving approach of receiving a signal, and said receiving sequence — un— duality — the receiving approach characterized by to have the step which decodes by the decode approach of an error correcting code, and acquires the multiple-value (prime factor exceeding 2) signal as a decode sequence, and the step which obtain a decode binary signal from the multiple-value signal as said decode sequence.

[Translation done.]

\* NOTICES \*

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the communication system and the correspondence procedure using a multi-level modulation method especially about the communication system and the correspondence procedure which transmit and receive a signal through a transmission line.

[0002]

[Description of the Prior Art] Especially the multi-level modulation method was used with digital microwave communication etc., and  $2n$ QAM(s), such as 4QAM, 16QAM, 32QAM, 64QAM, 128QAM, 256QAM, and ..., have been conventionally used in multi-level modulation.

[0003] In such digital microwave communication, although 4QAM, 16QAM, 32QAM, 64QAM, 128QAM, 256QAM, ..., etc. have generally been used from the simplicity of a circuit, the difficulty of implementation by the complexity of a circuit has been mitigated by the advance of an integrated-circuit technique in recent years. Furthermore, the demand to a deployment of a frequency and a deployment of transmitted power is becoming strong.

[0004] In order to respond to this request, the construction of the multi-level modulation method which does not necessarily set the number of multiple values to  $2n$  is proposed. For example, there are "the multiple-value strange recovery correspondence procedure and its system" of JP,04-196945,A, "the multiple-value modem, the multiple-value strange recovery communication system, its strange recovery program and the strange recovery approach" (un-opening to the public at the time of this application application) of an application for patent 2001-246891, "a multiple-value modem, multiple-value strange recovery communication system, its strange recovery program, the strange recovery approach" (un-opening to the public at the time of this application application) of an application for patent 2001-246890, etc.

[0005]

[Problem(s) to be Solved by the Invention] The above-mentioned proposal is a thing about the construction of multi-level modulation, and is not a thing about the error correcting system of a multiple value. Since considering error generating in a transmission line it becomes indispensable to encode an information sequence, to make it a transmitting sequence, to decode the receiving sequence which the error joined in the transmission line, and to acquire a decode sequence, the error correcting system corresponding to a multi-level modulation method is needed.

[0006] It is a correction method corresponding to the multi-level modulation method considered that the configuration of drawing 12 is common for this contractor. the sending set 901 by the conventional example if drawing 12 is referred to — duality — the receiving set 921 have the error correcting code-ized circuit 902, the binary multiple-value conversion circuit 903, and the multi-level modulation machine 904, and according to the conventional example — the multiple-value demodulator 922, the multiple-value binary conversion circuit 923, and duality — it has the error decryption circuit 923. the sending set 901 and receiving set 921 by the conventional example — setting — un— duality — it is based on an error correcting code — un— duality — the duality which does not adopt error correcting system but generates an error correcting code in a sending set 901 based on a binary signal before the binary multiple-value converter 903 — the duality which places an error correcting code-ized circuit and performs an error correction in a receiving set 921 based on a binary signal after the multiple-value binary converter 923 — the error correction decryption circuit 923 is placed.

[0007] However, with the configuration of drawing 12 , the efficient error correcting system adapted to multilevel transmission is not realizable. That is, the redundancy for obtaining the same code length is large compared with the case where a 2 un—dimensional sign is applied.

[0008] This invention is made in view of the above-mentioned trouble, and it aims at offering the communication system which transmits and receives the multiple-value signal of the prime factor which exceeds 2 including efficient error correcting system, and its approach.

[0009]

[Means for Solving the Problem] In the communication system which is equipped with the sending set and receiving set which transmit and receive a signal through a transmission line according to the 1st viewpoint of this invention said sending set A binary multiple-value conversion means to change a transmitting binary signal into the multiple-value (prime factor exceeding 2) signal as an information sequence, a radical [ signal / as said

information sequence / multiple-value ] -- un--- duality -- with a coding means to generate the transmitting sequence which consists of an error correcting code It has a multi-level modulation means to carry out multi-level modulation of said transmitting sequence, and to transmit to said receiving set. Said receiving set A recovery means to restore to the input signal from said sending set, and to acquire the receiving sequence of a multiple value (prime factor exceeding 2), said receiving sequence -- un--- duality -- the communication system characterized by having a decryption means to decode by the decode approach of an error correcting code, and to acquire the multiple-value (prime factor exceeding 2) signal as a decode sequence, and a multiple-value binary conversion means to obtain a decode binary signal from the multiple-value signal as said decode sequence is offered.

[0010] In the sending set which transmits a signal to a receiving set through a transmission line according to the 2nd viewpoint of this invention A binary multiple-value conversion means to change a transmitting binary signal into the multiple-value (prime factor exceeding 2) signal as an information sequence, a radical [ signal / as said information sequence / multiple-value ] -- un--- duality -- the sending set characterized by having a coding means to generate the transmitting sequence which consists of an error correcting code, and a multi-level modulation means to carry out multi-level modulation of said transmitting sequence, and to transmit to said receiving set is offered.

[0011] In the receiving set which receives a signal from a sending set through a transmission line according to the 3rd viewpoint of this invention A recovery means to restore to the input signal from said sending set, and to acquire the receiving sequence of a multiple value (prime factor exceeding 2), said receiving sequence -- un--- duality -- the receiving set characterized by having a decryption means to decode by the decode approach of an error correcting code, and to acquire the multiple-value (prime factor exceeding 2) signal as a decode sequence, and a multiple-value binary conversion means to obtain a decode binary signal from the multiple-value signal as said decode sequence is offered.

[0012]

[Embodiment of the Invention] In the communication system using the multi-level modulation method with which this invention will make the number of multiple values the prime factor exceeding 2 if drawing 1 is referred to in a sending set 101 The error correcting code-ized circuit 103 is formed. between the binary multiple-value converters 102 and the multi-level modulation machines 104 which change a binary signal into a multiple-value signal -- un--- duality -- it is based on an error correcting



code -- un--- duality -- in a receiving set 121 between the multiple-value demodulator 122 and the multiple-value binary converters 124 -- a sending set 101 -- un--- duality -- it corresponds to the error correcting code-ized circuit 103 -- un--- duality -- it is characterized by forming the error correction decryption circuit 123.

[0013] the prime factor to which the multi-level modulation machine 104 and the multiple-value demodulator 122 exceed 2 for the number of multiple values -- carrying out -- \*\*\*\* -- 3, 5, 7, and 11 -- the numbers of multiple values, such as ..., are adopted. [ for example, ] For example, when the number of multiple values is set to 3, the multi-level modulation machine 104 is a three phase phase modulator, and the multiple-value demodulator 122 is a three phase phase modulator. Moreover, when the number of multiple values is set to 5, the multi-level modulation machine 104 is a 5 phase modulator, and the multiple-value demodulator 122 is a 5 phase demodulator. The binary multiple-value converter 102 and the multiple-value binary converter 124 are conversion circuits which perform conversion between a binary signal and the value corresponding to the above-mentioned number of modulation multiple values. un--- duality -- the error correcting code-ized circuit 103 -- un--- duality -- the error correction decryption circuit 123 -- un--- duality -- the operation based on an error correcting code was performed, and error correction decode is realized.

[0014] therefore, the multi-level modulation method which makes the number of multiple values the prime factor exceeding 2 -- setting -- the conventional duality -- the effectiveness of realizing an efficient error correction is acquired to the case where an error correcting code is applied.

[0015] Reference of drawing 1 supplies the input signal which is a binary signal to the binary multiple-value converter 102 in a sending set 101. The binary multiple-value converter 102 changes a binary signal into the multiple-value signal as an information sequence. the multiple-value signal as an information sequence -- un--- duality -- the error correcting code-ized circuit 103 is supplied. un--- duality -- the error correcting code-ized circuit 103 -- a radical [ signal / as an information sequence / multiple-value ] -- un--- duality -- it is based on an error correcting code -- un--- duality -- error correcting code-ization performs a line and generates the transmitting sequence of a multiple value. The transmitting sequence of a multiple value is supplied to the multi-level modulation machine 104. The multi-level modulation machine 104 carries out multi-level modulation of the transmitting sequence of a multiple value, and transmits a modulating signal to a receiving set 121 through a transmission line.

[0016] In a receiving set 121, the multiple-value demodulator 122 restores to the signal received from the sending set 101 through the transmission line, and outputs the receiving sequence of a multiple value. the receiving sequence of a multiple value — un—— duality — the error correction decryption circuit 123 is supplied. un—— duality — the error correction decoder circuit 123 — un—— duality — it corresponds to the error correcting code-ized circuit 103, the error of the receiving sequence of a multiple value is corrected, and the decode sequence of a multiple value is generated. The decode sequence of a multiple value is supplied to the multiple-value binary converter 124. The multiple-value binary converter 124 changes and outputs the decode sequence of the inputted multiple value to a receiving binary signal.

[0017] next — un—— duality — an error correcting code is explained. first — un—— duality — 3 yuan is explained about the sign parameter of a BCH (Bose-Chaudhuri-Hocquenghem) sign, using drawing 2 as an example of an error correcting code. A 3 yuan BCH code is formed based on p-th generating-polynomial  $p(x)$  of the following which makes a multiplier 3 yuan, 0, 1, and 2.

[0018]

[Equation 1]

$$p(x) = x^p + a_{p-1}x^{p-1} + \dots + a_1x + a_0 \quad (\text{式 1})$$

ただし、

$$a_i = 0, 1, 2$$

Code length is set to  $(3p-1) / 2$  when correcting the both directions of plus 1 and minus 1 (this is equivalent to 2 in Galois field GF (3)). Generally, if code length is set to  $n$ , the information length  $k$  will serve as  $k=n-t-p$ , and, in the case of  $t$ -fold error correction, redundancy will be served as to  $(n-k)/n$ .

[0019] In the case of single error correction the BCH code of 3 yuan, a generating polynomial becomes with the generating polynomial of the following Miyoshi.

[0020]

[Equation 2]

$$p(x) = x^3 + 2x + 1 \quad (\text{式 2})$$

When a bidirectional error correction is taken into consideration, it becomes code length 13 and the information length 10, and the check row train of  $H$  is as follows, for example.

[0021]

[Equation 3]

$$H = \begin{bmatrix} 1 & 0 & 0 & 2 & 0 & 2 & 1 & 2 & 2 & 1 & 0 & 2 & 2 \\ 0 & 1 & 0 & 1 & 2 & 1 & 1 & 2 & 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 2 & 1 & 1 & 2 & 0 & 1 & 1 & 1 \end{bmatrix} \quad (\text{式 } 3)$$

in addition — error correcting codes, such as a BCH code of non-duality, and a Reed-Solomon sign, — Arnold M. Michelson, Allen H. Levesque work, "ERROR-CONTROL TECHNIQUES FOR DIGITAL COMMUNICATION", John Wiley & Sons, and 1985 It is stated to Chapter 6 "Nonbinary BCH Codes and Reed-Solomon Codes" in detail. moreover — un— duality — the parameter of a BCH code — being related — Miyagawa \*\*\*\* Iwadare good \*\*, Hideki Imai, a "coding theory", Shokodo, and Showa 48 Appendix 2 — "— G (p) — (— it is shown in irreducible-polynomial table" on p:prime factor).

[0022] The 1st concrete configuration approach of the binary multiple-value conversion circuit 102 is a circuit which changes n binary figures into p figures of a multiple value (for example, s value). For example, in the case of s=3, the combination of (n, p) is (3, 2), (11, 7), (19, 12), and ..., and, in the case of s=5, is (9, 4), (16, 7), (23, 10), and ...

[0023] Next, the 2nd concrete configuration approach of the binary multiple-value conversion circuit 102 is explained. un— duality — it is generated in an error correcting code-ized circuit — un— duality — if the number of original of an error correcting code is set to s and information length is set to k, the value which an information sequence can take will serve as sk. It will be set to 2l. if this number is expressed with a binary number. Therefore, the binary signal of number-of-bits l of a value big as it can do which fills  $l \leq k \times \log_2 S$  is inputted as the address, and if ROM which outputs the information sequence which is a symbol train of non-duality corresponding to each address is used, the binary multiple-value conversion circuit 102 is realizable. The I/O signal of ROM is shown in drawing 2.

[0024] un— duality — the concrete configuration of the error correcting code-ized circuit 103 is explained. un— duality — the error correcting code-ized circuit 103 has the configuration shown in drawing 3 known well. Here, an adder and a multiplier perform the addition on Galois field GF (q) (q is the number of original of the Galois field), and multiplication.

[0025] The concrete configuration of the multi-level modulation machine 104 is explained. The multi-level modulation machine 104 should just map from a symbol value to the information digit on a phase flat surface. The example of mapping in the case of three values is shown in drawing 4. Therefore, the multi-level modulation machine 104 takes a configuration as shown in drawing 5. What is necessary is just to map each symbol value at each point when doing n division of a phase flat surface at an include angle in the case of n values, such as five values, seven values, and 11 values, as

well as the case of three values.

[0026] The concrete configuration of the multiple-value demodulator 122 is explained. The multiple-value demodulator 122 should just perform mapping to a symbol value from the information digit on a phase flat surface.

Therefore, the multiple-value demodulator 122 takes a configuration as shown in drawing 6.

[0027] un— duality — the concrete configuration of the error correction decryption circuit 123 is explained. un— duality — the error correction decryption circuit 123 takes a configuration as shown in drawing 7.

[0028] if drawing 7 is referred to — un— duality — the error correction decoder circuit 123 is equipped with the syndrome count section 123-1, the error location count section 123-2, the error value count section 123-3, the error pattern generation section 123-4, a delay circuit 123-5, and the error pattern subtraction section 123-6.

[0029] The syndrome count section 123-1 calculates a syndrome based on a receiving sequence. The error location count section 123-2 generates an error location polynomial (error locator polynomial) based on a syndrome, and computes an error location by solving the error location polynomial. The error location count section 123-3 inputs an error location as a syndrome, for example, computes an error value from the derivative of an error evaluation polynomial (error evaluator polynomial) and an error location polynomial. The error pattern generation section 123-4 generates an error pattern from an error location and an error value. A delay circuit 123-5 carries out predetermined time delay of the input-signal sequence. The error pattern subtraction section 123-6 subtracts an error pattern from the delayed input-signal sequence, and outputs a decode sequence.

[0030] The concrete configuration of the multiple-value binary conversion circuit 124 is explained. un— duality — it is generated in an error correcting code-ized circuit — un— duality — if the number of original of an error correcting code is set to  $s$  and information length is set to  $k$ , the value which an information sequence can take will serve as  $s^k$ . It will be set to  $2^l$ . if this number is expressed with a binary number. Therefore, the decode sequence which is a symbol train which consists of  $k$  elements is inputted as the address, and if ROM which outputs a  $l=k \times \log_2 S$  bit binary signal as data is used, the multiple-value binary conversion circuit 124 is realizable. The I/O signal of ROM is shown in drawing 8.

[0031]

[Example] The 3 yuan error correcting code-ized circuit 103 at the time of making a formula (2) into a generating polynomial comes to be shown in drawing 9 (a). In the circuit of drawing 9 (a), an adder and a multiplier perform the operation shown in the following table. Moreover, the circuit of

drawing 9 (a) operates to the timing shown in drawing 9 (b).

[0032]

[Table 1]

加算

	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

乗算

	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

Moreover, code length = in the case of the 3 yuan BCH code of 13 and the information length 10, the error correction decryption circuit 123 of 3 yuan can be constituted using the check row train shown in a formula (3). The configuration of the 3 yuan error correction decryption circuit 123 in this case is shown in drawing 10.

[0033] If drawing 10 is referred to, the error correction decoder circuit 123 will be equipped with the matrix operation section 123-11, the error pattern generation section 123-12, and the error pattern subtraction section 123-13 of 3 yuan.

[0034] The matrix operation section 123-11 will ask for syndrome  $s = \{s_1, s_2, s_3\}$  by the operation of  $s = yHT$ , if a receiving sequence is made into vector  $y = \{y_1, y_2, \dots, y_{13}\}$ .

[0035] The error pattern generation section 123-12 asks for the group of a value to the (the error location and error value) of a syndrome according to the following table. Therefore, ROM which maps the following table can constitute the error pattern generation section 123-12.

[0036]

[Table 2]

シンドロームの値			(誤り位置, 誤り値)
1	0	0	(1,1)
2	0	0	(1,2)
0	1	0	(2,1)
0	2	0	(2,2)
0	0	1	(3,1)
0	0	2	(3,2)
2	1	0	(4,1)
1	2	0	(4,2)
0	2	1	(5,1)
0	1	2	(5,2)
2	1	2	(6,1)
1	2	1	(6,2)
1	1	1	(7,1)
2	2	2	(7,2)
2	2	1	(8,1)
1	1	2	(8,2)
2	0	2	(9,1)
1	0	1	(9,2)
1	1	0	(10,1)
2	2	0	(10,2)
0	1	1	(11,1)
0	2	2	(11,2)
2	1	1	(12,1)
1	2	2	(12,2)
2	0	1	(13,1)
1	0	2	(13,2)

[0037]

[Effect of the Invention] In this invention, the construction of the error correcting system in the modulation technique which makes the prime factor the numbers of multiple values, such as a three phase phase modulation and a 5 phase phase modulation, is indicated. As a Prior art, a two phase, four phases, and a 8 phase phase modulation are put in practical use. These needed 10.5dB, 13.8dB, and 19.1dB, respectively as necessary C/N for obtaining the 6th power of minus of 10 by the error rate. On the other hand, as a relative band, 100MHz, 50MHz, and 33.3MHz were needed, respectively. Generally, in the case of a three phase phase modulation and a 5 phase phase modulation, it is set to 12.0dB by above-mentioned necessary C/N, and is set to 66.6MHz and 44.4MHz as a necessary band by 15.4dB, respectively. For example, by the two phase phase modulation, when the 70MHz band was prepared, in order not to go into a band, quadri-phase shift keying was used for the former by 13.8dB necessary C/N. However, if this application uses the technique of premised this invention, it is possible to use a three phase phase modulation, and it is possible to be able to realize by necessary C/N which is 12.0dB, and to stop 1.8dB of transmitted power low. Moreover, by quadri-phase shift keying, when the 45MHz band was prepared, in order not to go into a band, the 8 phase phase modulation was used for the former by 19.1dB necessary C/N. However, it is possible to use the 5 phase phase modulation which this invention makes the premise, and it is possible to be able to realize by necessary C/N which is

15.4dB, and to stop 3.7dB of transmitted power low. Furthermore, the 2-3dB improvement of necessary C / N is expectable by applying the error correcting system of this application.

[0038] the multi-level modulation which makes the number of multiple values the prime factor exceeding 2 according to this invention — setting — un—— duality — since the error correcting code is applied — un—— duality — the effectiveness which was not acquired is acquired when an error correcting code is applied. That is, when the graph which plotted the code length and the redundancy of a duality [ which is shown drawing 11 ], 3 yuan, and 5 yuan BCH code is referred to, in redundancy with the almost more equivalent plural signs, it turns out that code length is short. Saying that code length is short with equivalent redundancy will excel [ direction / of plural signs ] in correction capacity in equivalent redundancy. Generally, in a single error correction, at the time of error rate  $p$  of a notation, to code length's inverse number, the error rate of the notation after an error correction is set mostly  $(3/2)$  to  $x(n-1)xp^2$ , when an error rate is small enough. Therefore, it will excel in the error rate, so that code length is short.

[0039] In addition, as a non-binary code, although the case of 3 yuan and a 5 yuan BCH code was explained, an error correcting code may consist of above-mentioned examples by making the other prime factors into origin.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the communication system by the operation gestalt of this invention.

[Drawing 2] It is the block diagram showing the example of a configuration of a binary multiple-value conversion circuit shown in drawing 1 by the operation gestalt of this invention.

[Drawing 3] it is shown in drawing 1 by the operation gestalt of this invention — un— duality — it is the block diagram showing the example of a configuration of an error correcting code-ized circuit.

[Drawing 4] It is the phase top view showing mapping from the symbol value in 3 value modulation to the information digit on a phase flat surface.

[Drawing 5] It is the block diagram showing the example of a configuration of the multi-level modulation machine shown in drawing 1 by the operation gestalt of this invention.

[Drawing 6] It is the block diagram showing the example of a configuration of the multiple-value demodulator shown in drawing 1 by the operation gestalt of this invention.

[Drawing 7] it is shown in drawing 1 by the operation gestalt of this invention — un— duality — it is the block diagram showing the example of a configuration of an error correction decryption circuit.

[Drawing 8] It is the block diagram showing the example of a configuration of a multiple-value binary conversion circuit shown in drawing 1 by the operation gestalt of this invention.

[Drawing 9] it is shown in drawing 1 by the example of this invention — un— duality (3 yuan) — it is the block diagram showing the example of a configuration of an error correcting code-ized circuit.

[Drawing 10] it is shown in drawing 1 by the example of this invention — un— duality (3 yuan) — it is the block diagram showing the example of a configuration of an error correction decryption circuit.



[Drawing 11] It is a graph for explaining the effectiveness of this invention, and the relation of the code length and the redundancy in each BCH code is shown.

[Drawing 12] It is the block diagram showing the configuration of the communication system by the conventional example.

[Description of Notations]

101 Sending Set

102 Binary Multiple-Value Conversion Circuit

103 Un--- Duality --- Error Correcting Code-ized Circuit

104 Multi-level Modulation Machine

121 Receiving Set

122 Multiple-Value Demodulator

123 Un--- Duality --- Error Correction Decryption Circuit

124 Multiple-Value Binary Conversion Circuit

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

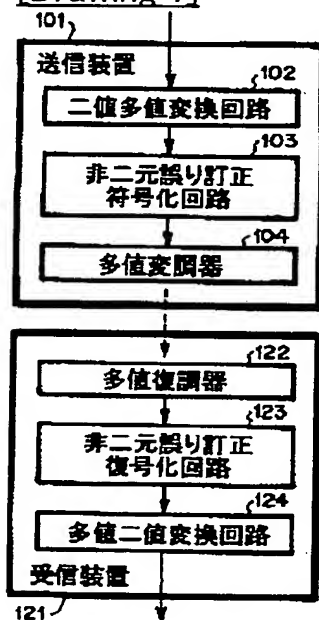
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

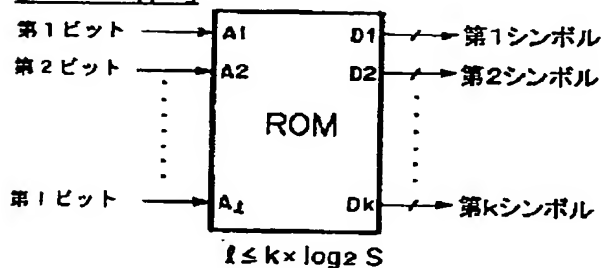
DRAWINGS

---

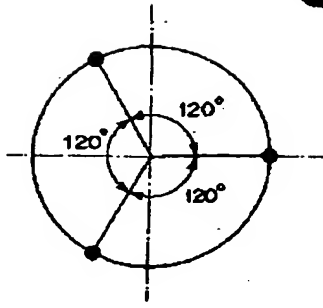
[Drawing 1]



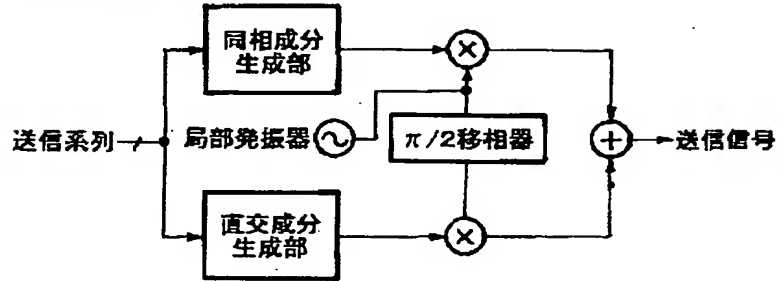
[Drawing 2]



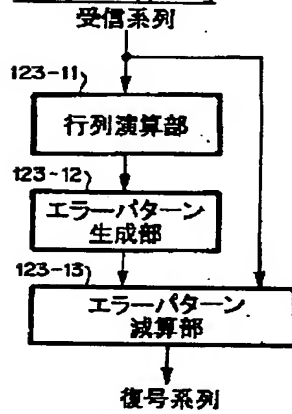
[Drawing 4]



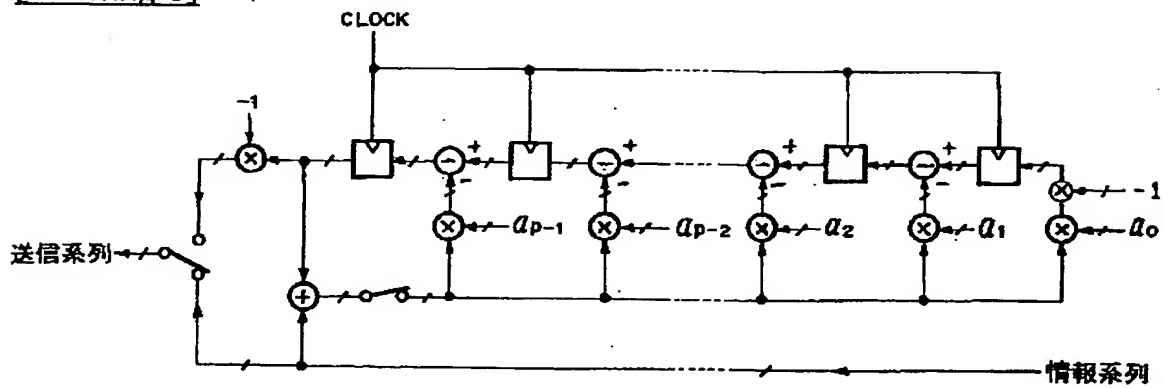
[Drawing 5]



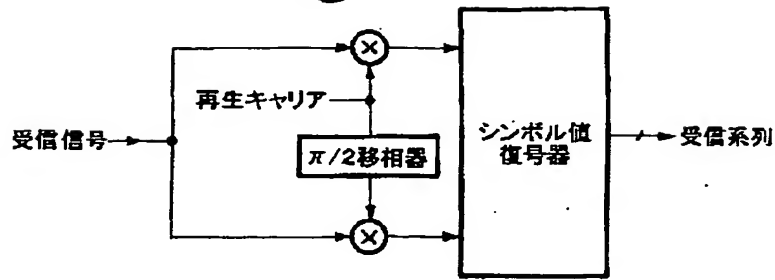
[Drawing 10]



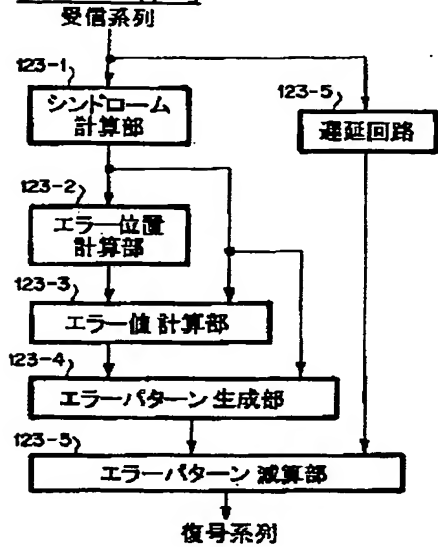
[Drawing 3]



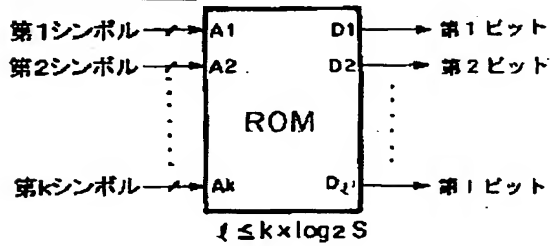
[Drawing 6]



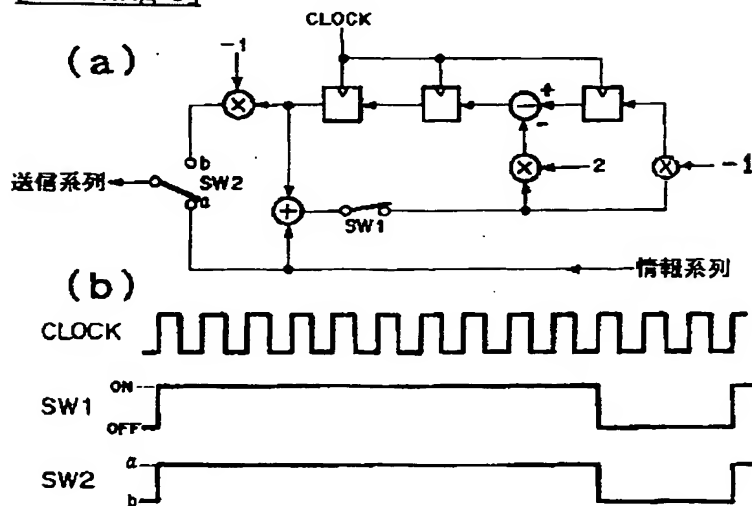
[Drawing 7]



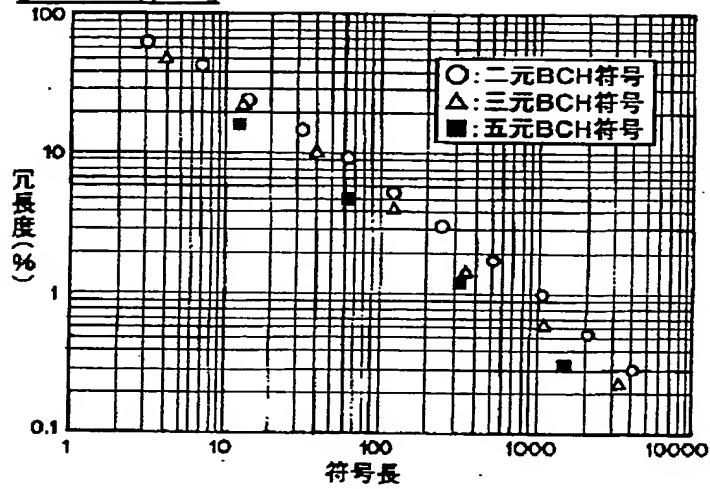
[Drawing 8]



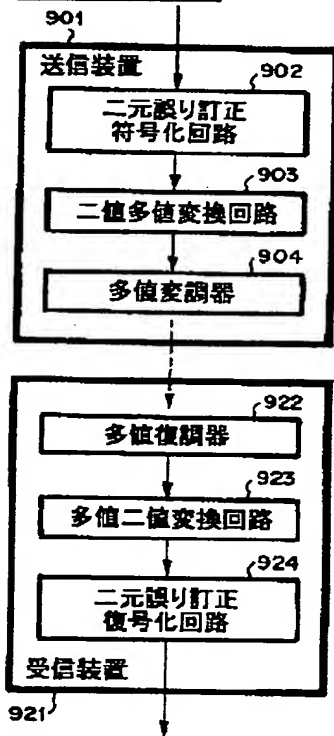
[Drawing 9]



[Drawing 11]



[Drawing 12]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-143249

(P2003-143249A)

(43) 公開日 平成15年5月16日 (2003.5.16)

(51) Int.Cl.	識別記号	F I	テ-リ-ト* (参考)
H 0 4 L 27/34		H 0 4 L 1/00	B 5 K 0 0 4
1/00		27/00	E 5 K 0 1 4
27/00			B

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2001-340787 (P2001-340787)

(22) 出願日 平成13年11月6日 (2001.11.6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 野田 誠一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム(参考) 5K004 AA01 AA08 BB05 JA02 JA03

JD05 JF01 JH01

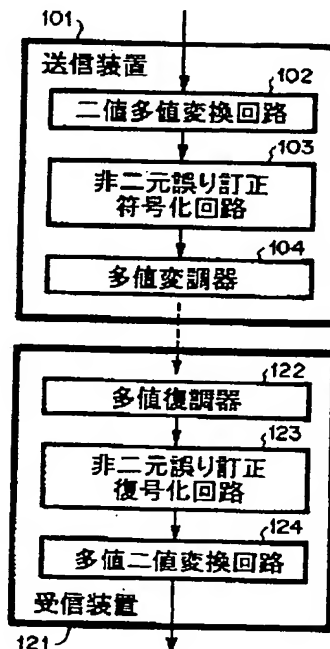
5K014 AA01 BA07 EA01 HA06 HA10

(54) 【発明の名称】 通信システム及び通信方法

(57) 【要約】

【課題】 効率的な誤り訂正方式を含み2を超える素数の多値信号を送受信する通信システムを提供する。

【解決手段】 送信装置は、送信二値信号を情報系列としての多値(2を超える素数)信号に変換する二値多値変換手段と、情報系列としての多値信号を基に元の数を2を超える素数とするガロア体上のBCH符号より成る送信系列を生成する符号化手段と、送信系列を多値変調して受信装置に送信する多値変調手段と、を備え、受信装置は、送信装置からの受信信号を復調して多値(2を超える素数)の受信系列を得る復調手段と、受信系列を元の数を2を超える素数とするガロア体上のBCH符号の復号方法により復号して復号系列としての多値(2を超える素数)信号を得る復号化手段と、復号系列としての多値信号より復号二値信号を得る多値二値変換手段と、を備える。



## 【特許請求の範囲】

【請求項1】 伝送路を介して信号を送受信する送信装置及び受信装置を備える通信システムにおいて、前記送信装置は、送信二値信号を情報系列としての多値（2を超える素数）信号に変換する二値多値変換手段と、前記情報系列としての多値信号を基に非二元誤り訂正符号より成る送信系列を生成する符号化手段と、前記送信系列を多値変調して前記受信装置に送信する多値変調手段と、を備え、

前記受信装置は、前記送信装置からの受信信号を復調して多値（2を超える素数）の受信系列を得る復調手段と、前記受信系列を非二元誤り訂正符号の復号方法により復号して復号系列としての多値（2を超える素数）信号を得る復号化手段と、前記復号系列としての多値信号より復号二値信号を得る多値二値変換手段と、を備えることを特徴とする通信システム。

【請求項2】 伝送路を介して信号を受信装置に送信する送信装置において、送信二値信号を情報系列としての多値（2を超える素数）信号に変換する二値多値変換手段と、前記情報系列としての多値信号を基に非二元誤り訂正符号より成る送信系列を生成する符号化手段と、前記送信系列を多値変調して前記受信装置に送信する多値変調手段と、を備えることを特徴とする送信装置。

【請求項3】 伝送路を介して信号を送信装置より受信する受信装置において、前記送信装置からの受信信号を復調して多値（2を超える素数）の受信系列を得る復調手段と、前記受信系列を非二元誤り訂正符号の復号方法により復号して復号系列としての多値（2を超える素数）信号を得る復号化手段と、前記復号系列としての多値信号より復号二値信号を得る多値二値変換手段と、を備えることを特徴とする受信装置。

【請求項4】 伝送路を介して信号を送受信する通信方法において、送信装置が、送信二値信号を情報系列としての多値（2を超える素数）信号に変換するステップと、前記送信装置が、前記情報系列としての多値信号を基に非二元誤り訂正符号より成る送信系列を生成するステップと、前記送信装置が、前記送信系列を多値変調して受信装置に送信するステップと、前記受信装置が、前記送信装置からの受信信号を復調して多値（2を超える素数）の受信系列を得るステップ

と、

前記受信装置が、前記受信系列を非二元誤り訂正符号の復号方法により復号して復号系列としての多値（2を超える素数）信号を得るステップと、前記受信装置が、前記復号系列としての多値信号より復号二値信号を得るステップと、を有することを特徴とする通信方法。

【請求項5】 信号を送信する送信方法において、送信二値信号を情報系列としての多値（2を超える素数）信号に変換するステップと、前記情報系列としての多値信号を基に非二元誤り訂正符号より成る送信系列を生成するステップと、前記送信系列を多値変調して前記受信装置に送信するステップと、を有することを特徴とする送信方法。

【請求項6】 信号を受信する受信方法において、受信信号を復調して多値（2を超える素数）の受信系列を得るステップと、前記受信系列を非二元誤り訂正符号の復号方法により復号して復号系列としての多値（2を超える素数）信号を得るステップと、前記復号系列としての多値信号より復号二値信号を得るステップと、を有することを特徴とする受信方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、伝送路を介して信号を送受信する通信システム及び通信方法に関し、特に、多値変調方式を用いた通信システム及び通信方法に関する。

【0002】

【従来の技術】多値変調方式は、特にデジタルマイクロ波通信等で用いられ、従来は多値変調においては4QAM、16QAM、32QAM、64QAM、128QAM、256QAM、・・・等の $2^n$ QAMが用いられてきた。

【0003】このような、デジタルマイクロ波通信等では、一般的に回路の簡便さから4QAM、16QAM、32QAM、64QAM、128QAM、256QAM、・・・等用いられてきたが、近年の集積回路技術の進歩により回路の複雑さによる実現の困難さは軽減されつつある。更に、周波数の有効利用、送信電力の有効利用に対する要求が強くなりつつある。

【0004】この要請に応えるために、多値数を必ずしも $2^n$ としない多値変調方式の構成法が提案されている。例えば、特開平04-196945号公報の「多値変復調通信方法及びそのシステム」、特願2001-246891の「多値変復調装置と多値変復調通信システムおよびその変復調プログラムならびに変復調方法」（本願出願時未公開）、特願2001-246890の

「多値変復調装置と多値変復調通信システムおよびその変復調プログラムならびに変復調方法」(本願出願時未公開)等がある。

【0005】

【発明が解決しようとする課題】上記の提案は多値変調の構成法についてのものであり、多値の誤り訂正方式についてのものではない。伝送路でのエラー発生を考えると、情報系列を符号化して送信系列にして、伝送路でエラーが加わった受信系列を復号して復号系列を得ることが必須となるので、多値変調方式に対応した誤り訂正方式が必要となる。

【0006】図12の構成は、当業者にとって一般的と考えられる多値変調方式に対応した訂正方式である。図12を参照すると、従来例による送信装置901は、二元誤り訂正符号化回路902、二値多値変換回路903及び多値変調器904を備え、従来例による受信装置921は、多値復調器922、多値二値変換回路923及び二元誤り復号化回路923を備える。従来例による送信装置901及び受信装置921においては、非二元誤り訂正符号に基づく非二元誤り訂正方式を採用しておらず、送信装置901において、二値多値変換器903の前に二値信号に基づいて誤り訂正符号を生成する二元誤り訂正符号化回路を置き、受信装置921において、多値二値変換器923の後に二値信号に基づいて誤り訂正を行う二元誤り訂正復号化回路923を置いている。

【0007】しかし、図12の構成では、多値伝送に即した効率的な誤り訂正方式が実現できていない。すなわち、同一の符号長を得るための冗長度が、非二次元符号を適用する場合に比べて大きくなっている。

【0008】本発明は上記の問題点に鑑みてなされたものであり、効率的な誤り訂正方式を含み2を超える素数の多値信号を送受信する通信システム及びその方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の第1の観点によれば、伝送路を介して信号を送受信する送信装置及び受信装置を備える通信システムにおいて、前記送信装置は、送信二値信号を情報系列としての多値(2を超える素数)信号に変換する二値多値変換手段と、前記情報系列としての多値信号を基に非二元誤り訂正符号より成る送信系列を生成する符号化手段と、前記送信系列を多値変調して前記受信装置に送信する多値変調手段と、を備え、前記受信装置は、前記送信装置からの受信信号を復調して多値(2を超える素数)の受信系列を得る復調手段と、前記受信系列を非二元誤り訂正符号の復号方法により復号して復号系列としての多値(2を超える素数)信号を得る復号化手段と、前記復号系列としての多値信号より復号二値信号を得る多値二値変換手段と、を備えることを特徴とする通信システムが提供される。

【0010】本発明の第2の観点によれば、伝送路を介

して信号を受信装置に送信する送信装置において、送信二値信号を情報系列としての多値(2を超える素数)信号に変換する二値多値変換手段と、前記情報系列としての多値信号を基に非二元誤り訂正符号より成る送信系列を生成する符号化手段と、前記送信系列を多値変調して前記受信装置に送信する多値変調手段と、を備えることを特徴とする送信装置が提供される。

【0011】本発明の第3の観点によれば、伝送路を介して信号を送信装置より受信する受信装置において、前記送信装置からの受信信号を復調して多値(2を超える素数)の受信系列を得る復調手段と、前記受信系列を非二元誤り訂正符号の復号方法により復号して復号系列としての多値(2を超える素数)信号を得る復号化手段と、前記復号系列としての多値信号より復号二値信号を得る多値二値変換手段と、を備えることを特徴とする受信装置が提供される。

【0012】

【発明の実施の形態】図1を参照すると、本発明は、多値数を2を超える素数とする多値変調方式を用いた通信システムにおいて、送信装置101では、二値信号を多値信号に変換する二値多値変換器102と多値変調器104の間に非二元誤り訂正符号に基づく非二元誤り訂正符号化回路103を設け、受信装置121では、多値復調器122と多値二値変換器124の間に送信装置101の非二元誤り訂正符号化回路103に対応する非二元誤り訂正復号化回路123を設けたことを特徴としている。

【0013】多値変調器104及び多値復調器122は多値数を2を超える素数としており、例えば、3、5、7、11・・・等の多値数を採用している。例えば、多値数を3とした場合には、多値変調器104は三相位相変調器であり多値復調器122は三相位相変調器である。また、多値数を5とした場合には、多値変調器104は五相変調器であり、多値復調器122は五相復調器である。二値多値変換器102と多値二値変換器124は二値信号と上記変調多値数に対応した値との間の交換を行う変換回路である。非二元誤り訂正符号化回路103と非二元誤り訂正復号化回路123は、非二元誤り訂正符号に基づく演算を行い誤り訂正復号を実現している。

【0014】従って、多値数を2を超える素数とする多値変調方式において、従来の二元誤り訂正符号を適用する場合に対して、効率的な誤り訂正を実現するという効果が得られる。

【0015】図1を参照すると、送信装置101においては、二値信号である入力信号は二値多値変換器102に供給される。二値多値変換器102は、二値信号を情報系列としての多値信号に変換する。情報系列としての多値信号は非二元誤り訂正符号化回路103に供給される。非二元誤り訂正符号化回路103は、情報系列とし



ての多値信号を基に非二元誤り訂正符号に基づく非二元誤り訂正符号化が行を行い、多値の送信系列を生成する。多値の送信系列は、多値変調器104に供給される。多値変調器104は、多値の送信系列を多値変調して、変調信号を伝送路を介して受信装置121に送信する。

【0016】受信装置121においては、多値復調器122は、伝送路を介して送信装置101から受信した信号を復調して、多値の受信系列を出力する。多値の受信系列は、非二元誤り訂正復号化回路123に供給される。非二元誤り訂正復号化回路123は、非二元誤り訂正符号化回路103に対応し、多値の受信系列の誤りを訂正して多値の復号系列を生成する。多値の復号系列は、多値二値変換器124に供給される。多値二値変換器124は、入力した多値の復号系列を受信二値信号に変換し、出力する。

【0017】次に、非二元誤り訂正符号について説明する。まず、非二元誤り訂正符号の一例として、三元BCH (Bose-Chaudhuri-Hocquenghem) 符号の符号パラメータについて図2を用いて説明する。三元BCH符号は、係

【0018】

【数1】

$$p(x) = x^p + a_{p-1}x^{p-1} + \dots + a_1x + a_0 \quad (\text{式1})$$

ただし、

$$a_i = 0, 1, 2$$

符号長は、プラス1及びマイナス1（これは、ガロア体GF(3)では2に相当する。）の両方向の訂正を行う場合には、 $(3^p - 1) / 2$ となる。一般に、符号長をnとすると、情報長kはt重誤り訂正の場合には $k = n - t \cdot p$ 、冗長度は $(n - k) / n$ となる。

【0019】一重誤り訂正三元BCH符号の場合には、例えば、生成多項式は、以下の三次の生成多項式となる。

【0020】

【数2】

$$p(x) = x^3 + 2x + 1 \quad (\text{式2})$$

双方向の誤り訂正を考慮すると、例えば、符号長13、情報長10となり、検査行列はHは、以下のようになる。

【0021】

【数3】

$$H = \begin{bmatrix} 1 & 0 & 0 & 2 & 0 & 2 & 1 & 2 & 2 & 1 & 0 & 2 & 2 \\ 0 & 1 & 0 & 1 & 2 & 1 & 1 & 2 & 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 2 & 1 & 1 & 2 & 0 & 1 & 1 & 1 \end{bmatrix} \quad (\text{式3})$$

尚、非二元のBCH符号、Reed-Solomon符号等の誤り訂正符号については、Arnold M. Michelson, Allen H. Le

vesque著、「ERROR-CONTROL TECHNIQUES FOR DIGITAL COMMUNICATION」、John Wiley & Sons, 1985の第六章「Non binary BCH Codes and Reed-Solomon Codes」に詳しく述べられている。また、非二元BCH符号のパラメータに関しては、宮川洋、岩垂好裕、今井秀樹、「符号理論」、昭晃堂、昭和48年の付録2「G(p) (p:素数)の上の既約多項式表」に示されている。

【0022】二値多値変換回路102の第1の具体的な構成方法は、二値のn桁を多値（例えばs値）のp桁に変換する回路である。例えば、(n, p)の組み合わせは、s=3の場合には、(3, 2)、(11, 7)、(19, 12)、...であり、s=5の場合には、(9, 4)、(16, 7)、(23, 10)、...である。

【0023】次に、二値多値変換回路102の第2の具体的な構成方法について説明する。非二元誤り訂正符号化回路で生成される非二元誤り訂正符号の元の数をs、情報長をkとすると、情報系列のとりうる値は、 $s^k$ となる。2進数でこの数を表すと $2^l$ となる。従って、 $1 \leq k \times \log_2 S$ を満たすできるだけ大きな値のビット数lの二値信号をアドレスとして入力し、各アドレスに対応する非二元のシンボル列である情報系列を出力するROMを用いれば、二値多値変換回路102を実現することができる。ROMの入出力信号を図2に示す。

【0024】非二元誤り訂正符号化回路103の具体的な構成について説明する。非二元誤り訂正符号化回路103は、よく知られている図3に示す構成を有する。ここで、加算器、乗算器は、ガロア体GF(q) (qは、ガロア体の元の数)上の加算、乗算を行う。

【0025】多値変調器104の具体的な構成について説明する。多値変調器104は、シンボル値から位相平面上の情報点へマッピングを行えばよい。3値の場合のマッピングの例を図4に示す。従って、多値変調器104は、例えば、図5に示すような構成をとる。5値、7値、11値等のn値の場合にも、3値の場合と同様に、それぞれのシンボル値を位相平面を角度でn分割したときのそれぞれの点にマッピングすればよい。

【0026】多値復調器122の具体的な構成について説明する。多値復調器122は、位相平面上の情報点からシンボル値へのマッピングを行えばよい。従って、多値復調器122は、例えば、図6に示すような構成をとる。

【0027】非二元誤り訂正復号化回路123の具体的な構成について説明する。非二元誤り訂正復号化回路123は、例えば、図7に示すような構成をとる。

【0028】図7を参照すると、非二元誤り訂正復号回路123は、シンドローム計算部123-1、エラー位置計算部123-2、エラー値計算部123-3、エラーパターン生成部123-4、遅延回路123-5及びエラーパターン減算部123-6を備える。

【0029】シンドローム計算部123-1は、受信系列を基にしてシンドロームを計算する。エラー位置計算部123-2は、シンドロームを基にエラー位置多項式(error locator polynomial)を生成し、そのエラー位置多項式を解くことによりエラー位置を算出する。エラー位置計算部123-3は、シンドロームとエラー位置を入力し、例えば、誤り評価多項式(error evaluator polynomial)及び誤り位置多項式の導関数よりエラー値を算出する。エラーパターン生成部123-4は、エラー位置とエラー値よりエラーパターンを生成する。遅延回路123-5は、受信信号系列を所定時間遅延させる。エラーパターン減算部123-6は、遅延された受信信号系列からエラーパターンを減算して、復号系列を出力する。

【0030】多値二値変換回路124の具体的な構成について説明する。非二元誤り訂正符号化回路で生成される非二元誤り訂正符号の元の数を $s$ 、情報長を $k$ とすると、情報系列のとりうる値は、 $s^k$ となる。2進数でこの数を表すと $2^l$ となる。従って、 $k$ 個の要素より成るシンボル列である復号系列をアドレスとして入力し、 $1 = k \times 10g$ 、 $S$ ビットの二値信号をデータとして出力するROMを用いれば、多値二値変換回路124を実現することができる。ROMの入出力信号を図8に示す。

【0031】

【実施例】式(2)を生成多項式とした場合の3元誤り訂正符号化回路103は、図9(a)に示すようになる。図9(a)の回路において、加算器、乗算器は、下表に示す演算を行う。また、図9(a)の回路は、図9(b)に示すタイミングで動作する。

【0032】

【表1】

加算			
	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

乗算			
	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

また、符号長=13、情報長10の3元BCH符号の場合には、式(3)に示す検査行列を用いて、3元誤り訂正復号化回路123を構成することができる。この場合の3元誤り訂正復号化回路123の構成を図10に示す。

【0033】図10を参照すると、3元誤り訂正復号回路123は、行列演算部123-11、エラーパターン生成部123-12及びエラーパターン減算部123-13を備える。

【0034】行列演算部123-11は、受信系列をベ

クトル $y = \{y_1, y_2, \dots, y_{13}\}$ とすると、シンドローム $s = \{s_1, s_2, s_3\}$ を、 $s = yH^T$ の演算により求める。

【0035】エラーパターン生成部123-12は、下表に従って、シンドロームの値から(誤り位置、誤り値)の組を求める。従って、エラーパターン生成部123-12は下表のマッピングを行うROMによって構成することができる。

【0036】

10 【表2】

シンドロームの値			(誤り位置, 誤り値)
1	0	0	(1,1)
2	0	0	(1,2)
0	1	0	(2,1)
0	2	0	(2,2)
0	0	1	(3,1)
0	0	2	(3,2)
2	1	0	(4,1)
1	2	0	(4,2)
0	2	1	(5,1)
0	1	2	(5,2)
2	1	2	(6,1)
1	2	1	(6,2)
1	1	1	(7,1)
2	2	2	(7,2)
2	2	1	(8,1)
1	1	2	(8,2)
2	0	2	(9,1)
1	0	1	(9,2)
1	1	0	(10,1)
2	2	0	(10,2)
0	1	1	(11,1)
0	2	2	(11,2)
2	1	1	(12,1)
1	2	2	(12,2)
2	0	1	(13,1)
1	0	2	(13,2)

【0037】

30 【発明の効果】本発明では、三相位相変調、五相位相変調等の、多値数を素数とする変調方式における誤り訂正方式の構成法を開示している。従来の技術として、二相、四相、八相位相変調が実用化されている。これらは、誤り率で十のマイナス6乗を得るための所要 $C/N$ として、それぞれ10.5 dB、13.8 dB、19.1 dBを必要としていた。一方、相対的な帯域としては、それぞれ100 MHz、50 MHz、33.3 MHzを必要としていた。一般に、三相位相変調、五相位相変調の場合には、上記の所要 $C/N$ で、それぞれ12.0 dB、15.4 dBで、所要帯域としては、それぞれ66.6 MHz、44.4 MHzとなる。例えば、70 MHzの帯域が用意されている時には、従来には、二相位相変調では帯域には入らないために、13.8 dBの所要 $C/N$ で四相位相変調を利用していた。しかし、本願が前提としている本発明の技術を利用すると、三相位相変調を利用することが可能であり、12.0 dBの所要 $C/N$ で実現でき、送信電力を1.8 dB低く抑えることが可能である。また、45 MHzの帯域が用意されている時には、従来には、四相位相変調では帯域には入らないために、19.1 dBの所要 $C/N$ で八相位相変

調を利用していた。しかし、本発明が前提としている五相位相変調を利用することが可能であり、15.4 dBの所要C/Nで実現でき、送信電力を3.7 dB低く抑えることが可能である。更に、本願の誤り訂正方式を適用する事で、2~3 dBの所要C/Nの改善が期待できる。

【0038】本発明によれば、多値数を2を超える素数とする多値変調において、非二元誤り訂正符号を適用しているので、非二元誤り訂正符号を適用した場合には得られなかった効果が得られる。つまり、図11示す二元、三元、五元のBCH符号の符号長と冗長度をプロットしたグラフを参照すると、多元符号の方がほぼ同等の冗長度において符号長が短いことが分かる。同等の冗長度で符号長が短いと言うことは、同等の冗長度において多元符号の方が訂正能力に優れている事となる。一般に、一重誤り訂正においては、記号の誤り率 $p$ の時、誤り訂正後の記号の誤り率は、符号長の逆数に対して誤り率が十分に小さい時、ほぼ $(3/2) \times (n-1) \times p$ となる。従って、符号長が短いほど誤り率で優れていることとなる。

【0039】なお、上記実施例では、非二元符号として、三元、五元BCH符号の場合を説明したが、その他の素数を元として誤り訂正符号を構成してもよい。

【図面の簡単な説明】

【図1】本発明の実施形態による通信システムの構成を示すブロック図である。

【図2】本発明の実施形態による図1に示す二値多値変換回路の構成例を示すブロック図である。

【図3】本発明の実施形態による図1に示す非二元誤り訂正符号化回路の構成例を示すブロック図である。

\*【図4】3値変調の場合のシンボル値から位相平面上の情報点へマッピングを示す位相平面図である。

【図5】本発明の実施形態による図1に示す多値変調器の構成例を示すブロック図である。

【図6】本発明の実施形態による図1に示す多値復調器の構成例を示すブロック図である。

【図7】本発明の実施形態による図1に示す非二元誤り訂正復号化回路の構成例を示すブロック図である。

【図8】本発明の実施形態による図1に示す多値二値変換回路の構成例を示すブロック図である。

【図9】本発明の実施例による図1に示す非二元(3元)誤り訂正符号化回路の構成例を示すブロック図である。

【図10】本発明の実施例による図1に示す非二元(3元)誤り訂正復号化回路の構成例を示すブロック図である。

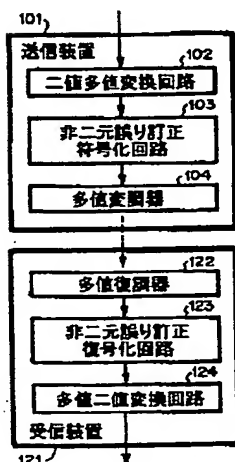
【図11】本発明の効果を説明するためのグラフであって、各BCH符号における符号長と冗長度の関係を示すものである。

【図12】従来例による通信システムの構成を示すブロック図である。

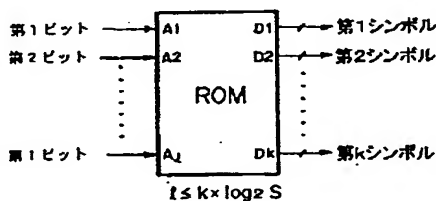
【符号の説明】

- 101 送信装置
- 102 二値多値変換回路
- 103 非二元誤り訂正符号化回路
- 104 多値変調器
- 121 受信装置
- 122 多値復調器
- 123 非二元誤り訂正復号化回路
- 124 多値二値変換回路
- 30 124 多値二値変換回路

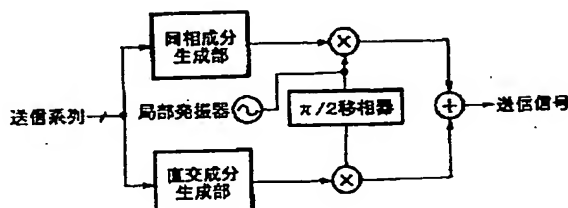
【図1】



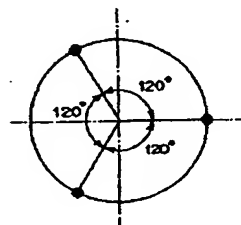
【図2】



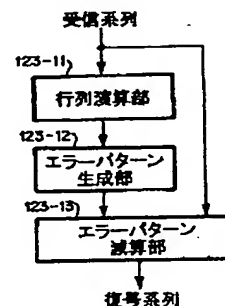
【図5】



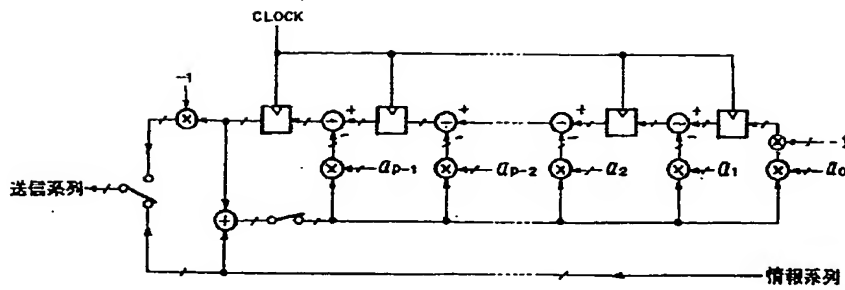
【図4】



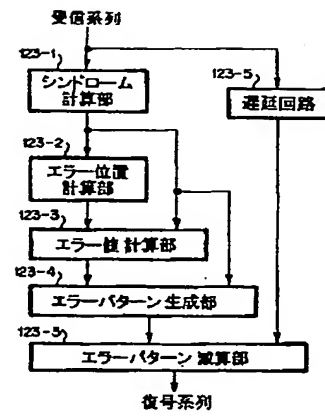
【図10】



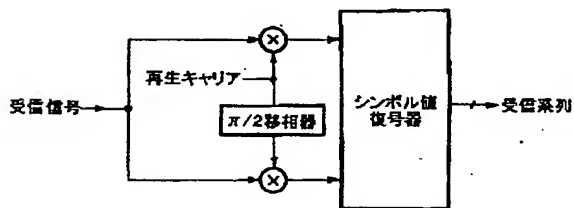
【図3】



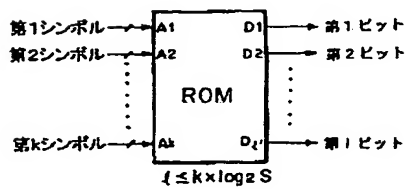
【図7】



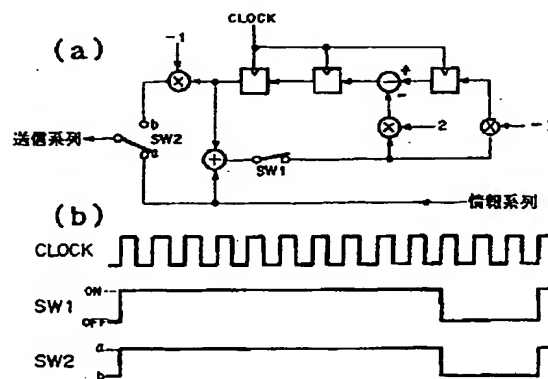
【図6】



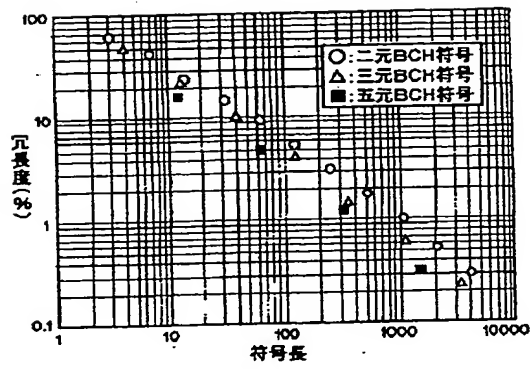
【図8】



【図9】



【図11】



【図12】

